



Practitioner's Docket No.: 040021-0306208  
Client Reference No.: OPP 030890 US

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: GEON-OOK PARK      Confirmation No:  
Application No.: 10/676,147      Group No.:  
Filed: October 2, 2003      Examiner:  
For: FABRICATION METHOD OF SEMICONDUCTOR DEVICE

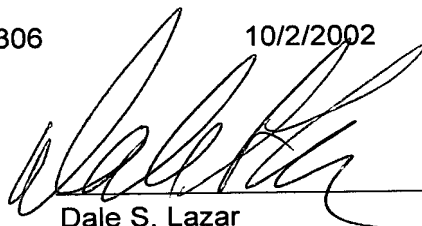
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, VA 22313-1450**

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
KOREA	10-2002-0060306	10/2/2002

Date: November 5, 2003  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
\_\_\_\_\_  
Dale S. Lazar  
Registration No. 28872

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

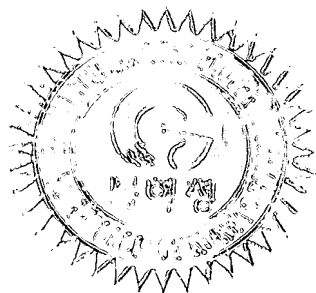
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0060306  
Application Number

출원년월일 : 2002년 10월 02일  
Date of Application OCT 02, 2002

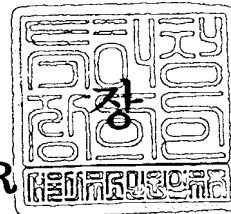
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003      년      08      월      29      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.10.02
【발명의 명칭】	반도체 소자 제조 방법
【발명의 영문명칭】	Fabrication method of semiconductor device
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	박건욱
【성명의 영문표기】	PARK, GEON WOOK
【주민등록번호】	680515-1023927
【우편번호】	121-220
【주소】	서울특별시 마포구 합정동 389-11번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

반도체 소자 제조 방법에 관한 것으로, 그 목적은 구리를 이용한 두얼 다마신 공정에서 층간절연막인 SiOC층 내에 SiC층이 삽입되지 않는 구조로 하여 전체적인 커패시턴스 값을 낮추고, 감광막의 잔류 문제를 해소하는 것이다. 이를 위해 본 발명에서는 SiC층을 층간절연막 상에 위치시키고 이들 SiC층과 층간절연막의 식각율 차이를 이용하여 배선구와 비아를 동시에 형성하는 것을 특징으로 하며, 이로써, 종래 SiC층을 층간절연막 내에 삽입하도록 형성하는 구조에 비해 전체적인 커패시턴스 값을 낮출 수 있으며, 층간절연막과 감광막이 직접 접촉하는 일이 없으므로 감광막의 잔류와 그에 따른 문제점을 해소하는 효과가 있다.

**【대표도】**

도 2e

**【색인어】**

구리, 베리어층, 식각율

**【명세서】****【발명의 명칭】**

반도체 소자 제조 방법 {Fabrication method of semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1e는 종래 반도체 소자 제조 방법을 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 구리배선을 형성하는 방법에 관한 것이다.

<4> 일반적으로 금속 배선으로 널리 사용하는 금속으로는 텅스텐(W), 알루미늄(Al) 및 알루미늄 합금 등이 있다. 그러나, 구리(Cu)는 텅스텐, 알루미늄에 비하여 비저항이 작으며 신뢰성이 우수한 금속 배선 재료이므로, 반도체 소자의 금속 배선을 구리로 대체하려는 연구가 활발히 진행되고 있다.

<5> 그런데, 구리는 텅스텐, 알루미늄과는 달리 건식 식각(Reactive Ion Etching)에 의한 배선 형성이 어려운 재료이다. 따라서, 구리의 경우에는 건식 식각 공정을 거치지 않으면서 플러그(plug)와 금속배선(line)을 동시에 형성할

수 있는 방법에 관하여 활발히 연구되고 있는바, 이러한 공정을 두얼 다마신 (dual damascene) 공정이라 한다.

- <6> 기존의 구리를 이용한 두얼 다마신 공정에 의하면 구리를 웨이퍼에 전면 (blanket) 증착한 후에 불필요한 웨이퍼 표면의 구리층을 화학기계적 연마 공정으로 제거함으로써 최종적인 구리 플러그와 금속배선을 형성한다.
- <7> 그러면, 첨부된 도 1a 내지 도 1e를 참조하여 종래의 반도체 소자 제조 방법을 설명한다.
- <8> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1)의 상부에서 상면에 하부 절연막(2) 및 하부금속배선(3)이 노출된 구조물(1) 상에 비아 형성을 위한 식각시 식각종료층으로 사용하기 위한 제1 SiC층(4)을 형성한다.
- <9> 이어서, 제1 SiC층(4) 상에 층간절연막으로서 제1 SiOC층(5)을 형성한 후, 제1 SiOC층(5) 상에 배선구 형성을 위한 식각시 식각종료층으로 사용하기 위한 제2 SiC층(4')을 형성하고, 그 위에 다시 층간절연막으로서 제2 SiOC층(5')을 형성한다.
- <10> 다음, 도 1b에 도시된 바와 같이, 제2 SiOC층(5') 상에 감광막을 도포하고 노광 및 현상하여 배선구 형성을 위한 제1감광막 패턴(미도시)을 형성한 후, 제1 감광막 패턴을 마스크로 이용하고 제2 SiC층(4')을 식각종료층으로 이용하여, 배선구로 예정된 부분의 제2 SiOC층(5') 및 제2 SiC층(4')을 식각하여 배선구(100)를 형성한 다음, 제1감광막 패턴을 제거하고 세정공정을 수행한다.

- <11> 다음, 도 1c에 도시된 바와 같이, 오프닝된 부분의 폭이 제1감광막 패턴보다 더 좁은 폭을 가지는 제2감광막 패턴(미도시)을, 오프닝된 부분이 배선구(100)의 중앙에 위치하도록 제2 SiOC층(5')의 상부에 형성하고, 제2감광막 패턴을 마스크로 이용하고 제1 SiC층(4)을 식각종료층으로 이용하여, 하부금속배선(3)의 상부 표면이 노출될 때까지 노출된 제1 SiOC층(5) 및 그 하부의 제1 SiC층(4)을 식각하여 비아(200)를 형성한다.
- <12> 다음, 도 1d에 도시된 바와 같이, 노출된 하부금속배선(3)을 포함하여 제1 SiOC층(5) 및 제2 SiOC층(5')의 상부 전면에 TaN으로 이루어진 베리어금속막(6)을 대략 300Å 정도의 두께로 증착한 후, 베리어금속막(6) 상에 비아(200) 및 배선구(100)를 충분히 매립하도록 구리층(7)을 증착한다.
- <13> 다음, 도 1e에 도시된 바와 같이 제2 SiOC층(5')의 상면이 노출될 때까지 구리층(7)을 화학기계적 연마하여 평탄화함으로써 비아와 구리배선층을 동시에 형성한다.
- <14> 그러나, 상기한 바와 같은 종래 방법에서는 층간절연막을 이루는 SiOC층 내에 식각종료층으로 사용되는 SiC층이 삽입되어 있으므로, SiC층이 삽입되지 않는 경우에 비해 전체적인 커패시턴스 값이 증가되어 전류의 흐름을 방해하고, 따라서 소자의 동작속도를 느리게 하는 문제점이 있었다.
- <15> 또한, 배선구 및 비아를 형성할 때 SiOC층의 표면과 측벽에 감광막이 직접 접촉하게 되기 때문에 이후 감광막이 완전히 제거되지 않고 잔류하여 비아 저항 또는 배선구 저항을 증가시키는 원인이 되는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<16>        본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 구리를 이용한 두열 다마신 공정에서 층간절연막인 SiOC층 내에 SiC층이 삽입되지 않는 구조로 하여 전체적인 커패시턴스 값을 낮추고, 감광막의 잔류 문제를 해소하는 것이다.

**【발명의 구성 및 작용】**

<17>        상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 SiC층을 층간절연막 상에 위치시키고 이들 SiC층과 층간절연막의 식각율 차이를 이용하여 배선구와 비아를 동시에 형성하는 것을 특징으로 한다.

<18>        즉, 본 발명에 따른 반도체 소자 제조 방법은, 반도체 기판의 구조물 상에 형성된 하부배선을 포함한 상부 전면에 층간절연막을 증착하는 단계; 층간절연막 상에 층간절연막보다 식각율이 작은 베리어층을 형성하고, 베리어층을 선택적으로 식각하여 하부배선 상부에 위치하는 층간절연막을 소정폭만큼 노출시키는 단계; 베리어층 상에, 노출된 소정폭의 층간절연막을 포함하여 노출된 층간절연막과 이웃하는 베리어층을 소정폭만큼 노출시키는 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 하여 노출된 베리어층 및 층간절연막을 식각하여 배선구 및 비아를 형성하는 단계; 배선구와 비아의 내부를 포함하여 베리어층 상에 구리를 형성하여 비아 및 배선구를 매립하는 단계; 및 층간절연막의 상면이 노출될 때까지 화학기계적 연마하는 단계를 포함하여 이루어진다.



- <19> 이 때, 층간절연막의 하부에는 베리어층을 더 형성할 수 있고, 베리어층으로는 실리콘카바이드(SiC)를 100 내지 500Å 두께로 형성하는 것이 바람직하며, 층간절연막으로는 실리콘옥시카바이드(SiOC)를 10000 내지 14000Å 두께로 형성하는 것이 바람직하다.
- <20> 구리를 형성하기 전에는, 배선구와 비아의 내벽 및 베리어층 상에 Ti, Ta, 또는 TaN으로 이루어진 확산방지막을 100~500Å의 두께로 형성하는 것이 바람직하다.
- <21> 구리를 형성할 때에는, 구리를 플라즈마 화학기상증착 방법으로 500~1500Å의 두께로 1차 형성한 다음, 1차 형성된 구리 상에 전기도금방법으로 구리를 2차 형성하여 비아 및 배선구를 매립하는 것이 바람직하다.
- <22> 이하, 본 발명에 따른 반도체 소자 제조 방법에 대해 상세히 설명한다. 도 2a 내지 도 2e는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.
- <23> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판의 구조물(11), 즉 개별 소자가 형성된 반도체 기판 또는 하부 금속 배선층 상부에 산화막 등으로 이루어진 하부절연막(12)을 형성하고, 하부절연막(12)을 선택적으로 식각하여 배선구를 형성하고 구리를 전면증착한 후, 하부절연막(12)이 노출될 때까지 화학기계적 연마하여 하부배선(13)을 형성한다.
- <24> 이 때, 하부배선(13)을 반드시 구리로 형성할 필요는 없으며, 텅스텐과 같은 금속막을 형성하고 패터닝하여 반도체 소자의 회로 형성을 위한 하부 배선(13)을 형성할 수도 있다.

<25> 이어서, 하부배선(13)을 포함한 상부 전면에 비아 형성을 위한 식각시 식각 종료층으로 이용하기 위해 유전상수가 낮은 물질로 이루어진 제1베리어층(14)을 형성하고, 제1베리어층(14) 상에 층간절연막(15)을 두껍게 증착한 후, 층간절연막(15) 상에 다시 유전상수가 낮은 물질로 이루어진 제2베리어층(14')을 형성한다.

<26> 이 때 제1 및 제2베리어층으로는 실리콘카바이드(SiC)를 100 내지 500Å 두께로 형성할 수 있으며, 바람직하게는 300Å 두께로 형성한다. 층간절연막으로는 유전상수가 낮은 물질인 실리콘옥시카바이드(SiOC)를 10000 내지 14000Å 두께로 형성할 수 있으며, 바람직하게는 12000Å 두께로 형성한다.

<27> 이와 같이 유전상수가 낮은 물질을 이용하여 층간절연막을 형성하면 구리 배선층 간의 커패시턴스 값이 낮아져 전류의 흐름에 대한 방해가 적고 따라서 신호의 전달이 빨라지고 소자의 동작속도가 증가된다.

<28> 다음, 도 2b에 도시된 바와 같이, 제2베리어층(14') 상에 감광막을 도포하고 노광 및 현상하여 비아로 예정된 영역의 상부에 해당하는 제2베리어층(14')을 노출시키는 제1감광막 패턴(미도시)을 형성한 후, 제1감광막 패턴을 마스크로 하여 노출된 제2베리어층(14)을 식각하여 층간절연막(15)을 소정폭만큼 노출시킨 후, 감광막 패턴을 제거하고 세정공정을 수행한다.

<29> 다음, 도 2c에 도시된 바와 같이, 제2베리어층(15) 상에 감광막을 도포하고 노광 및 현상하여 배선구로 예정된 영역의 상부에 해당하는 제2베리어층(14')을 노출시키는 제2감광막 패턴을 형성하는데, 이 때 제2감광막 패턴의 오프닝된 폭은 배선구의 폭에 해당하므로 비아 폭에 해당하는 제1감광막 패턴의 오프닝된 폭

보다 넓으며, 층간절연막의 노출된 소정폭 부분을 중심으로 하여 제2감광막 패턴의 오프닝된 부분이 위치하도록 제2감광막 패턴을 형성하는 것이 바람직하다.

<30> 이러한 제2감광막 패턴을 마스크로 하여 노출된 제2베리어층(14') 및 층간절연막(15)을 식각하는데, 제2베리어층(14')을 이루는 SiC와 층간절연막(15)을 이루는 SiOC의 식각율에 의해 미리 설정해 둔 소정시간 동안 식각을 진행하여 배선구(100) 및 비아(200)를 동시에 형성한 후, 제2감광막 패턴을 제거하고 세정공정을 수행한다.

<31> 이 때, SiC는 SiOC보다 식각율이 더 작기 때문에, 비아로 예정된 부분으로서 소정폭으로 노출된 층간절연막(15)은 빠른 속도로 식각되어 비아(200)를 형성하고, 배선구로 예정된 부분에서는 제2베리어층(14')이 느린 속도로 식각된 이후에 층간절연막(15)이 식각되어 배선구(100)를 형성하며, 결과적으로 소정 시간 동안 식각한 후에는 배선구(100)와 비아(200)가 동시에 형성되는 것이다.

<32> SiC와 SiOC의 식각율에 의해 계산된 식각시간보다 더 긴 시간동안 식각하여 약 10% 정도 더 과도식각을 진행하면 비아(200) 바닥면에 위치하는 제1베리어층(14)까지 식각할 수 있다.

<33> 다음, 도 2d에 도시된 바와 같이, 비아(200)를 통해 노출된 하부배선(13)을 포함하여 층간절연막(15) 및 제2베리어층(14')의 상부 전면에 확산방지막(16)을 얇게 증착하고, 확산방지막(16) 상에 구리(17)를 증착하여 비아(200) 및 배선구(100)를 매립한다.

- <34> 이 때, 확산방지막(16)은 구리(17)가 층간절연막(15) 내로 확산해 들어가는 것을 방지하기 위해 형성하는 것으로서, Ti, Ta, 또는 TaN 등을 100~500Å의 두께로 형성하며, 바람직하게는 TaN을 300Å의 두께로 형성한다.
- <35> 구리(17)를 증착할 때에는, 먼저 플라즈마 화학기상증착 방법으로 500~1500 Å의 두께로 씨드층을 형성한 다음, 씨드층 상에 전기도금방법으로 비아 및 금속 배선구를 충분히 매립하도록 대략 3500Å의 두께로 구리를 형성한다.
- <36> 다음, 도 2e에 도시된 바와 같이, 층간절연막(15)이 노출될 때까지 화학기 계적 연마하여 상면을 평탄화시킨다.

#### 【발명의 효과】

- <37> 상술한 바와 같이, 본 발명에서는 SiC층을 층간절연막 상에 위치시키고 이들 SiC층과 층간절연막의 식각율 차이를 이용하여 배선구와 비아를 동시에 형성하므로, 종래 SiC층을 층간절연막 내에 삽입하도록 형성하는 구조에 비해 전체적인 커패시턴스 값을 낮출 수 있으며, 이로 인해 전류의 흐름을 빠르게 하여 고성능 소자를 구현하는 효과가 있다.
- <38> 또한, 본 발명에서는 층간절연막을 이루는 SiOC층과 감광막이 직접 접촉하는 일이 없으므로 감광막의 잔류와 그에 따른 문제점을 해소하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기관의 구조물 상에 형성된 하부배선을 포함한 상부 전면에 층간절연막을 증착하는 단계;

상기 층간절연막 상에 상기 층간절연막보다 식각율이 작은 베리어층을 형성하고, 상기 베리어층을 선택적으로 식각하여 상기 하부배선 상부에 위치하는 층간절연막을 소정폭만큼 노출시키는 단계;

상기 베리어층 상에, 상기 노출된 소정폭의 층간절연막을 포함하여 상기 노출된 층간절연막과 이웃하는 베리어층을 소정폭만큼 노출시키는 감광막 패턴을 형성하고, 상기 감광막 패턴을 마스크로 하여 노출된 베리어층 및 층간절연막을 식각하여 배선구 및 비아를 형성하는 단계;

상기 배선구와 비아의 내부를 포함하여 상기 베리어층 상에 구리를 형성하여 상기 비아 및 배선구를 매립하는 단계; 및

상기 층간절연막의 상면이 노출될 때까지 화학기계적 연마하는 단계를 포함하는 반도체 소자 제조 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 층간절연막의 하부에 베리어층을 더 형성하는 반도체 소자 제조 방법.

**【청구항 3】**

제 2 항에 있어서,

상기 베리어층으로는 실리콘카바이드(SiC)를 100 내지 500 Å 두께로 형성하는 반도체 소자 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 층간절연막으로는 실리콘옥시카바이드(SiOC)를 10000 내지 14000 Å 두께로 형성하는 반도체 소자 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 구리를 형성하기 전에, 상기 배선구와 비아의 내벽 및 상기 베리어층상에 확산방지막을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 확산방지막은 Ti, Ta, 및 TaN으로 이루어진 군에서 선택된 한 물질로 형성하는 반도체 소자 제조 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 확산방지막은 100~500 Å의 두께로 형성하는 반도체 소자 제조 방법.

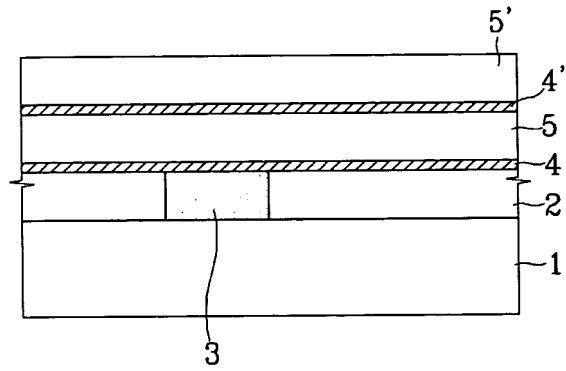
【청구항 8】

제 1 항에 있어서,

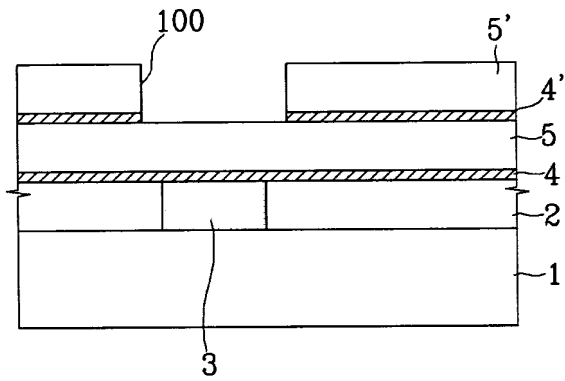
상기 구리를 형성할 때에는, 상기 구리를 플라즈마 화학기상증착 방법으로 500~1500 Å의 두께로 1차 형성한 다음, 상기 1차 형성된 구리 상에 전기도금방법으로 구리를 2차 형성하여 상기 비아 및 배선구를 매립하는 반도체 소자 제조 방법.

【도면】

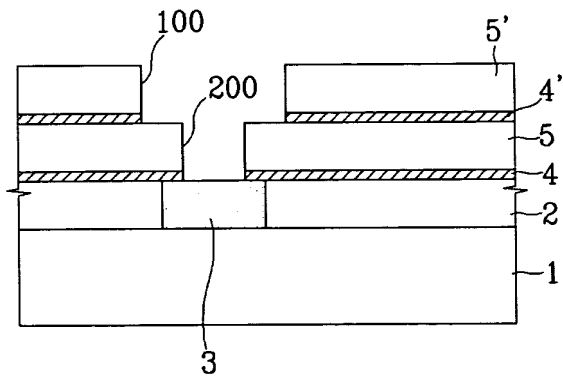
【도 1a】



【도 1b】

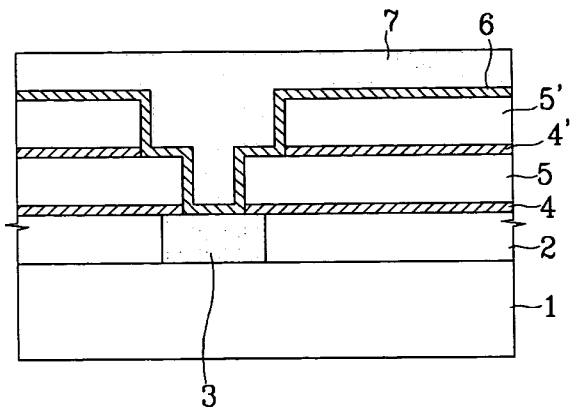


【도 1c】

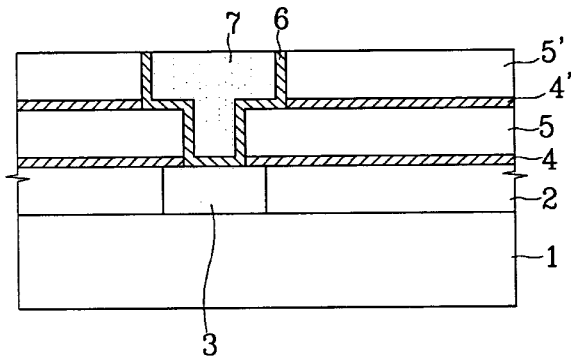




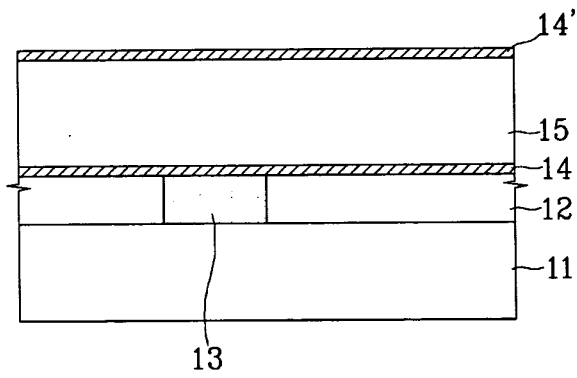
【도 1d】



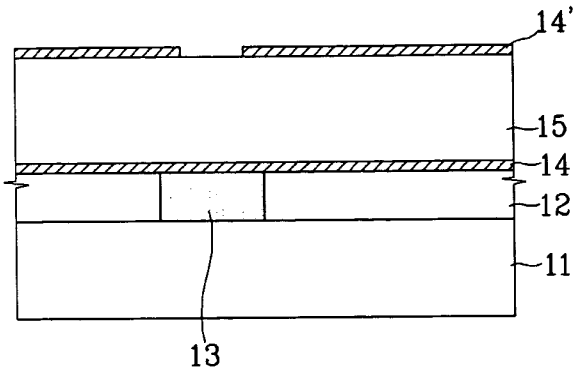
【도 1e】



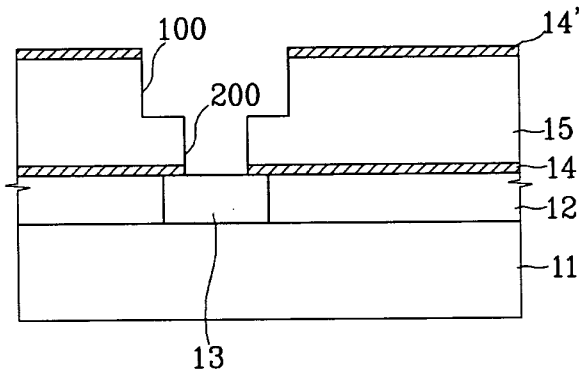
【도 2a】



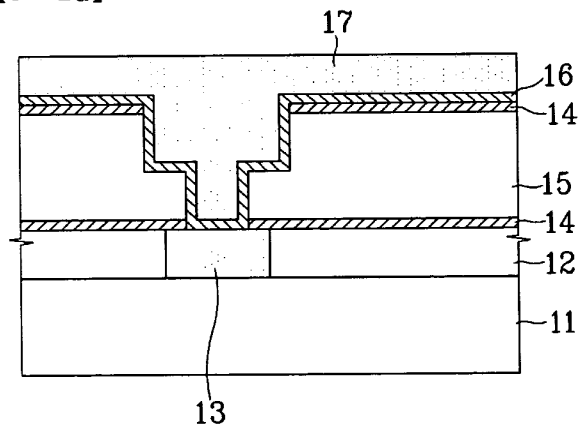
【도 2b】



【도 2c】



【도 2d】



【도 2e】

